

CHAPTER 4

TEKNIK KOMUNIKASI DATA DIGITAL

4.1 TRANSMISI ASYNCHRONOUS DAN SYNCHRONOUS

Data ditransfer melalui path komunikasi tunggal pada transmisi data secara serial dimana tiap elemen pensinyalan dapat berupa :

- kurang dari 1 bit : misalnya dengan pengkodean Manchester
- 1 bit : NRZ-L dan FSK adalah contoh-contoh analog dan digital
- lebih dari 1 bit : QPSK sebagai contohnya.

Dalam bahasan ini, kita menganggap satu bit per elemen pensinyalan kecuali jika keadaan sebaliknya.

Synchronisasi adalah salah satu tugas utama dari komunikasi data. Suatu transmitter mengirim message 1 bit pada suatu waktu melalui suatu medium ke receiver. Receiver harus mengenal awal dan akhir dari blok-blok bit dan juga harus mengetahui durasi dari tiap bit sehingga dapat men-sampel line tersebut dengan timing yang tepat untuk membaca tiap bit. Misalkan pengirim (sender) mentransmisi sejumlah bit-bit data. Pengirim mempunyai suatu clock yang mempengaruhi timing dari transmisi bit-bit. Sebagai contoh, jika data ditransmisi dengan 10000 bits per second (bps), kemudian 1 bit akan ditransmisi setiap $1/10000 = 0,1$ millisecond (ms), sebagai yang diukur oleh clock pengirim. Maka, receiver akan menentukan waktu yang cocok untuk sampel-sampelnya pada interval dari 1 bit time. Pada contoh ini, pen-sampling-an akan terjadi sekali setiap 0,1 ms. Jika waktu pen-sampling-an berdasarkan pada clocknya sendiri, maka akan timbul masalah jika clock-transmitter dan receiver tidak disamakan dengan tepat. Jika ada perbedaan 1 persen (clock receiver 1 persen lebih cepat atau lebih lambat daripada clock transmitter), maka pen-sampling-an pertama 0,001 ms meleset dari tengah bit (tengah bit adalah 0,05 ms dari awal dan akhir bit). Setelah sampel-sampel mencapai 50 atau lebih, receiver akan error karena pen-sampling-annya dalam bit time yang salah ($50 \times 0,001 = 0,05$ ms). Untuk perbedaan timing yang kecil, error akan terjadi kemudian, tetapi kemudian receiver akan keluar dari step transmitter jika transmitter mengirim aliran bit yang panjang dan jika tidak ada langkah-langkah yang men-synchron-kan transmitter dan receiver.

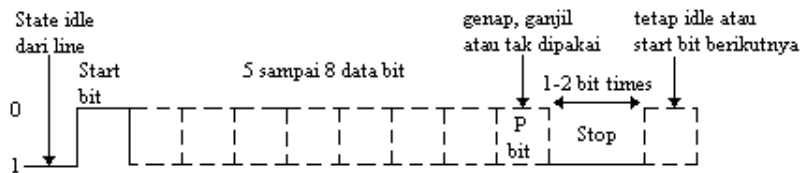
TRANSMISI ASYNCHRONOUS

Strategi dari metode ini yaitu mencegah problem timing dengan tidak mengirim aliran bit panjang yang tidak putus-putusnya. Melainkan data ditransmisi per karakter pada suatu waktu, dimana tiap karakter adalah 5 sampai 8 bit panjangnya. Timing atau synchronisasi harus dipertahankan antara tiap karakter; receiver mempunyai kesempatan untuk men-synchron-kan awal dari tiap karakter baru.

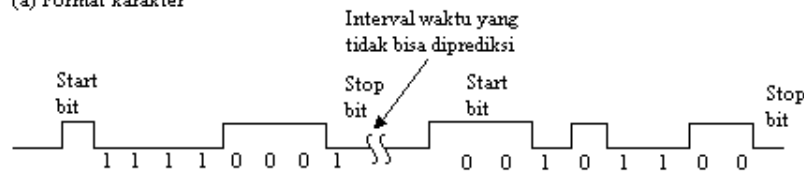
Gambar 4.1 menjelaskan suatu contoh untuk teknik ini.

Gambar 4.1a, ketika tidak ada transmisi karakter, line antara transmitter dan receiver dalam keadaan "idle". **Idle** adalah ekuivalen untuk elemen pensinyalan bagi binary '1'. Awal dari suatu karakter diisyaratkan oleh suatu *start bit* dengan binary '0'. Kemudian diikuti oleh 5 sampai 8 bit yang membentuk karakter tersebut. Bit-bit dari karakter itu ditransmisi dengan diawali *least significant bit* (LSB). Biasanya, bit-bit karakter ini diikuti oleh suatu *parity bit* yang berada pada posisi *most-significant-bit* (MSB). Paritu bit tersebut diset oleh transmitter sedemikian seperti total jumlah binary '1' dalam karakter; termasuk parity bit-nya, adalah genap (even parity) atau ganjil (odd parity), tergantung pada konversi yang dipakai. Elemen terakhir yaitu *stop*, yang merupakan suatu binary '1'. Panjang minimum dari stop biasanya 1,5 atau 2 kali durasi dari bit. Sedangkan maksimumnya tidak dispesifikasikan. Karena stop sama dengan kondisi idle, maka transmitter akan melanjutkan transmisi sinyal stop sampai siap untuk mengirim karakter berikutnya.

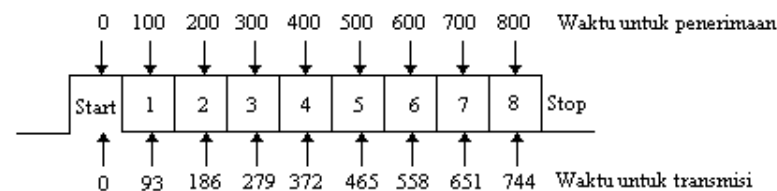
Gambar 4.1c memperlihatkan efek timing error yang menyebabkan error pada penerimaan. Disini dianggap bahwa data ratenya 10000 bps; oleh karena itu tiap bit mempunyai durasi 0,1 ms atau 100 s. Anggaplah receiver terlambat 7 persen atau 7 s per bit time. Dengan demikian receiver men-sampel karakter yang masuk setiap 93 s (berdasarkan pada clock transmitter). Seperti terlihat, sampel terakhir mengalami error. Sebenarnya error ini menghasilkan dua macam error : pertama, sampel bit terakhir diterima tidak tepat; kedua, perhitungan bit sekarang keluar dari kesepakatan. Jika bit ke 7 adalah 1 dan bit ke 8 adalah 0 maka bit 8 akan dianggap suatu start bit. Kondisi ini diistilahkan **framing error**, yaitu karakter plus start dan stop bit yang kadang-kadang dinyatakan suatu **frame**. Framing error juga jika beberapa kondisi noise menyebabkan munculnya kesalahan dari suatu start bit selama kondisi idle.



(a) Format karakter



(b) 8 bit aliran karakter asynchronous



(c) Efek dari timing error

Gambar 4.1. Transmisi asynchronous.

Komunikasi asynchronous adalah sederhana dan murah tetapi memerlukan tambahan 2 sampai 3 bit per karakter untuk synchronisasi. Persentase tambahan dapat dikurangi dengan mengirim blok-blok bit yang besar antara start dan stop bit, tetapi akan memperbesar kumulatif timing error. Solusinya yaitu transmisi synchronous.

TRANSMISI SYNCHRONOUS

Dengan transmisi synchronous, ada level lain dari synchronisasi yang perlu agar receiver dapat menentukan awal dan akhir dari suatu blok data. Untuk itu, tiap blok dimulai dengan suatu pola *preamble* bit dan diakhiri dengan pola *postamble* bit. Pola-pola ini adalah kontrol informasi.

Frame adalah data plus kontrol informasi. Format yang tepat dari frame tergantung dari metode transmisinya, yaitu :

- Transmisi *character-oriented*, (lihat gambar 4.2a)

Blok data diperlakukan sebagai rangkaian karakter-karakter (biasanya 8 bit karakter).

Semua kontrol informasi dalam bentuk karakter.

Frame dimulai dengan 1 atau lebih 'karakter synchronisasi' yang disebut SYN, yaitu pola bit khusus yang memberi sinyal ke receiver bahwa ini adalah awal dari suatu blok. Sedangkan untuk postamble-nya juga dipakai karakter khusus yang lain. Jadi receiver diberitahu bahwa suatu blok data sedang masuk, oleh karakter SYN, dan menerima data tersebut sampai terlihat karakter postamble. Kemudian menunggu pola SYN yang berikutnya. Alternatif lain yaitu dengan panjang frame sebagai bagian dari kontrol informasi; receiver menunggu karakter SYN, menentukan panjang frame, membaca tanda sejumlah karakter dan kemudian menunggu karakter SYN berikutnya untuk memulai frame berikutnya.

- Transmisi *bit-oriented*, (lihat gambar 4.2b)

Blok data diperlakukan sebagai serangkaian bit-bit.

Kontrol informasi dalam bentuk 8 bit karakter.

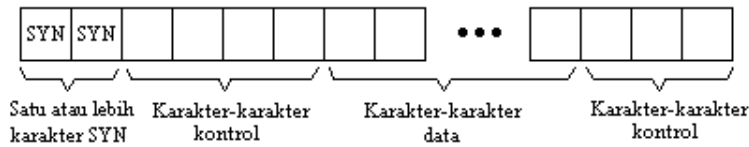
Pada transmisi ini, preamble bit yang panjangnya 8 bit dan dinyatakan sebagai suatu flag sedangkan postamble-nya memakai flag yang sama pula.

Receiver mencari pola flag terhadap sinyal start dari frame. Yang diikuti oleh sejumlah kontrol field. Kemudian sejumlah data field, kontrol field dan akhirnya flag-nya diulangi.

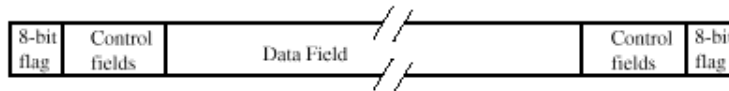
Perbedaan dari kedua metode diatas terletak pada format detilnya dan kontrol informasinya.

Keuntungan transmisi synchronous :

- Efisien dalam ukuran blok data; transmisi asynchronous memerlukan 20% atau lebih tambahan ukuran.
- Kontrol informasi kurang dari 100 bit.



(a) Frame Character-oriented



(b) Frame Bit-oriented

Gambar 4.2. Transmisi synchronous.

4.2 TEKNIK DETEKSI ERROR

Ketika suatu frame ditransmisikan, tiga klas probabilitas yang dapat muncul pada akhir penerimaan :

- Klas 1 (P_1) : frame tiba tanpa bit-bit error.
- Klas 2 (P_2) : frame tiba dengan satu atau lebih bit-bit error yang tidak terdeteksi.
- Klas 3 (P_3) : frame tiba dengan satu atau lebih bit-bit error yang terdeteksi dan tidak ada bit-bit error yang tidak terdeteksi.

Persamaan dari probabilitas diatas dapat dinyatakan sebagai :

$$P_1 = (1 - P_B)^{n_f}$$

$$P_2 = 1 - P_1$$

dimana : n_f = jumlah bit per frame

P_B = probabilitas yang diberikan oleh bit apapun adalah error (konstan, tergantung posisi bit).

Teknik deteksi error menggunakan error-detecting-code, yaitu tambahan bit yang ditambah oleh transmitter. Dihitung sebagai suatu fungsi dari transmisi bit-bit lain. Pada receiver dilakukan perhitungan yang sama dan membandingkan kedua hasil tersebut, dan bila tidak cocok maka berarti terjadi deteksi error.

Tiga teknik yang umum dipakai sebagai deteksi error :

- Parity bit.
- Longitudinal Redundancy Check.
- Cyclic Redundancy Check.

PARI TY CHECKS

Deteksi bit error yang paling sederhana parity bit pada akhir tiap word dalam frame. Terdapat dua jenis parity bit ini :

- Even parity : jumlah dari binary '1' yang genap --> dipakai untuk transmisi asynchronous.
- Odd parity : jumlah dari binary '1' yang ganjil --> dipakai untuk transmisi synchronous.

Atau menggunakan operasi exclusive-OR dari bit-bit tersebut dimana akan menghasilkan binary '0' untuk even parity dan menghasilkan binary '1' untuk odd parity. note : exclusive-OR dari 2 digit binary adalah 0 bila kedua digitnya adalah 0 atau keduanya = 1; jika digitnya beda maka hasilnya = 1.

Problem dari parity bit : Impulse noise yang cukup panjang merusak lebih dari satu bit, pada data rate yang tinggi.

Tiap-tiap karakter ditambahkan parity bit seperti sebelumnya atau dari gambar diatas dinyatakan sebagai :

$$R_j = b_{1j} \oplus b_{2j} \oplus \dots \oplus b_{nj}$$

dimana R_j = parity bit dari karakter ke j
:

b_{ij} = bit ke i dalam karakter ke j

n = nomor bit dalam suatu karakter atau dinyatakan sebagai *vertical redundancy check* (VRC).

Sedangkan tambahannya, suatu parity bit yang dibentuk untuk tiap posisi bit yang melalui semua karakter atau dinyatakan sebagai *longitudinal redundancy check* (LRC) atau dinyatakan sebagai :

$$C_i = b_{i1} \oplus b_{i2} \oplus \dots \oplus b_{in}$$

dimana : C_i = parity check dari karakter ke i bit

m = nomor karakter dalam suatu frame.

Kelemahan dari parity check untuk tiap jenis yaitu tidak dapat mendeteksi jumlah error-error genap.

misal : Untuk VRC, bila suatu bit ke 1 dan ke 3 dari karakter pertama error maka oleh receiver tidak akan di deteksi adanya error, demikian juga untuk LRC, bila keadaan diatas terjadi ditambah juga bila bit ke 1 dan ke 3 dari karakter ke lima error maka oleh receiver tidak akan dideteksi adanya error.

CYCLIC REDUNDANCY CHECKS (CRC)

Diberikan suatu k-bit frame atau message, transmitter membentuk serangkaian n-bit, yang dikenal sebagai frame check sequence (FCS). Jadi frame yang dihasilkan terdiri dari k+n bits. Receiver kemudian membagi frame yang datang dengan beberapa angka dan jika tidak remainder (sisa) dianggap tidak ada error.

Beberapa cara yang menjelaskan prosedur diatas, yaitu :

Modulo 2 arithmetic

Menggunakan penjumlahan binary dengan tanpa carry, dimana hanya merupakan operasi exclusive-OR.

Untuk kepentingan ini didefinisikan :

T = (k + n) bit frame untuk ditransmisi, dengan n < k

M = k bit message, k bit pertama dari T

F = n bit FCS, n bit terakhir dari T

P = pattern dari n+1 bit.

Dimana : $T = 2^n M + F$

$$\frac{2M}{P} = Q + \frac{R}{P}$$

Karena pembagiya adalah binary, remainder selalu kurang dari 1 bit dibanding pembagi. Maka :

$$T = 2 M + R$$

atau

$$\frac{T}{P} = \frac{2M + R}{P}$$

$$\frac{T}{P} = Q + \frac{R}{P} + \frac{R}{P}$$

$$\frac{T}{P} = Q + \frac{R+R}{P} = Q$$

Contoh : 1. Diketahui : message M = 1010001101 (10 bit)

pattern P = 110101 (6 bit)

FCS R = dikalkulasi (5 bit)

2. Message M dikalikan dengan 2^5 , maka : 101000110100000

3. Kemudian dibagi dengan P :

$$\begin{array}{r} \underline{110101011} \leftarrow Q \\ P \rightarrow 110101 \overline{) 101000110100000} \leftarrow 2^5 M \\ \underline{110101} \\ 111011 \\ \underline{110101} \\ 111010 \\ \underline{110101} \\ 111110 \\ \underline{110101} \\ 101100 \\ \underline{110101} \\ 110010 \\ \underline{110101} \\ 1110 \leftarrow R \end{array}$$

4. Remainder (R = 01110) ditambahkan ke $2^5 M$ untuk mendapatkan T = 10100011010110, yang ditransmisi [T = $2^5 M + R$].

Jika tidak ada error, maka receiver menerima T secara utuh. Frame yang diterima dibagi dengan P :

$$\begin{array}{r} \underline{1101010110} \\ 110101 \overline{) 10100011010110} \\ \underline{110101} \\ 111011 \\ \underline{110101} \\ 111010 \\ \underline{110101} \\ 111110 \\ \underline{110101} \\ 101111 \\ \underline{110101} \\ 110101 \\ \underline{110101} \\ 00. \end{array}$$

Karena tidak ada remainder maka dianggap tidak ada error.

Pattern P dipilih 1 bit lebih panjang daripada FCS, dan bit pattern dipilih tergantung tipe error yang diinginkan. Pada keadaan minimum keduanya baik tingkat high atau low bit dari P harus 1. Frame Tr yang dihasilkan dapat dinyatakan sebagai : $Tr = T + E$

dimana : T = frame yang ditransmisi

E = error pattern dengan 1 dalam posisi dimana terjadi error

Tr = frame yang diterima.

Receiver akan gagal untuk mendeteksi error jika dan hanya jika Tr dapat dibagi dengan P, yang jika dan hanya jika E dapat dibagi dengan P.

Polynomials

Dalam bentuk variabel x dengan koefisien-koefisien binary. Koefisien-koefisien tersebut berhubungan dengan bit-bit dalam binary sehingga proses CRC-nya dapat dijabarkan sebagai :

$$1. \frac{X M(X)}{P(X)} = Q(X) + \frac{R(X)}{P(X)}$$

$$2. T(X) = X M(X) + R(X)$$

Error E(X) hanya tidak akan terdeteksi bila dapat dibagi dengan P(X). Error - error yang dapat dideteksi yang tidak dapat dibagi oleh P(X) :

1. Semua error bit tunggal.
2. Semua error bit ganda, sepanjang P(X) mempunyai faktor paling sedikit 3 syarat.
3. Jumlah error genap apapun, sepanjang P(X) mengandung faktor (X + 1).
4. Burst error apapun dengan panjang burst lebih kecil daripada panjang FCS.
5. Burst error yang paling besar.

Empat versi dari P(X) yang dipakai secara luas :

CRC-12 = $X^{12} + X^{11} + X^3 + X^2 + X + 1$, dipakai untuk transmisi dari 6 bit karakter dan membentuk 12 bit FCS.

CRC-6 = $X^{16} + X^{15} + X^2 + 1$, } umum untuk 8 bit karakter dan keduanya

CRC-CCITT = $X^{16} + X^{12} + X^5 + 1$, } menghasilkan 16 bit FCS.

CRC-32 = $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, membentuk 32 bit FCS.

Shift registers dan gate exclusive-OR

Shift register adalah device penyimpan string 1 bit dimana terdapat sebuah line output, yang mengindikasikan nilai yang dimuat, dan sebuah line input.

Seluruh register di-clock secara simultan, yang menyebabkan 1 bit bergeser sepanjang seluruh register . Sirkuit ini dapat dipenuhi sebagai berikut :

1. Register mengandung n bits, sama dengan panjang FCS.
2. Ada lebih dari n gate exclusive-OR.
3. Keberadaan dan ketiadaan suatu gate tergantung pada keberadaan atau ketiadaan dari suatu syarat dalam polynomial pembagi, $P(X)$.

Message kemudian masuk per bit pada suatu waktu dimulai dengan MSB. Message M akan di-shift ke register dari input bit. Proses ini berlanjut sampai semua bit dari message M ditambah 5 bit nol. 5 bit nol ini menggeser M ke kiri 5 posisi untuk memuat FCS. Setelah bit terakhir diproses, maka shift register memuat remainder (FCS) yang mana akan ditransmisi kemudian.

Pada receiver, tiap bit M yang tiba, disisipi ke dalam shift register. Jika tidak ada error, shift register akan memuat bit pattern untuk R pada akhir dari M . Bit R yang ditransmisi sekarang mulai tiba dan efeknya yaitu me-nol-kan register pada akhir penerimaan, register memuat semua nol.

FORWARD ERROR CORRECTION

Error-correcting codes dinyatakan sebagai *forward error correction* untuk mengindikasikan bahwa receiver sedang mengoreksi error. Contohnya: pada komunikasi broadcast digunakan transmisi simplex.

Metode transmisi ulang dinyatakan sebagai *backward error correction* karena receiver memberi informasi balik ke transmitter yang kemudian mentransmisi ulang data yang error.

4.3 INTERFACING

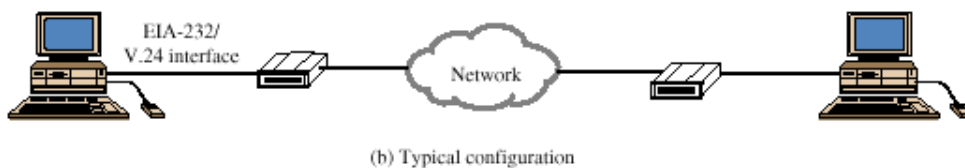
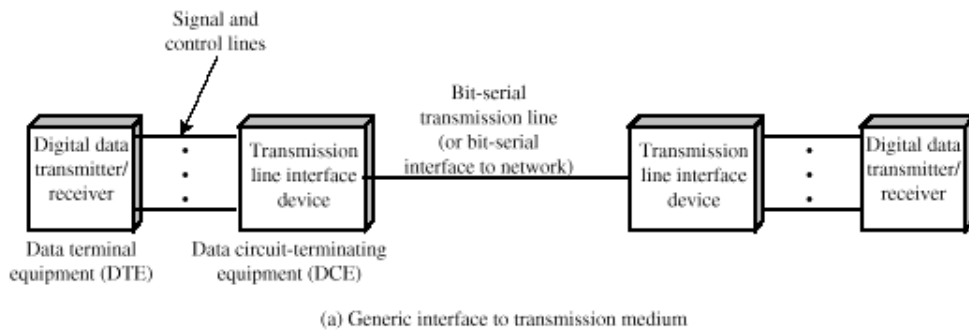
Gambar 4.8 memperlihatkan interface ke medium transmisi. *Data terminal equipment* (DTE) memakai sistim transmisi melalui perantara *data circuit-terminating equipment* (DCE). Contoh DCE : MODEM.

DCE harus bertanggung jawab untuk transmisi dan menerima bit-bit, pada suatu waktu, melalui suatu medium transmisi; dan harus berinteraksi dengan DTE. Hal ini dilakukan melalui *interchange circuit*.

Receiver dari DCE harus memakai teknik encoding yang sama seperti pada transmitter dari DCE yang lain.

Pasangan DTE-DCE harus didisain untuk mempunyai interface-interface pelengkap dan harus mampu berinteraksi secara efektif.

Digunakan standart physical layer protocols untuk interface antara DTE dan DCE.



Gambar 4.8. Interfacing komunikasi data

Empat karakteristik penting dari interface :

- Mekanikal, berhubungan dengan koneksi fisik sebenarnya dari DTE dan DCE.
- Elektrikal, yaitu mengenai level tegangan dan timing dari perubahan tegangan; dan juga menentukan data rate dan jarak yang dapat dicapai.
- Fungsional, merinci fungsi yang dilaksanakan yang diperuntukkan bagi berbagai interchange circuits; dapat diklasifikasikan menjadi kategori dari data, kontrol, timing dan ground.
- Prosedural, merinci serangkaian kejadian pada transmisi data, berdasarkan pada karakteristik fungsional dari interface.

Beberapa standard untuk interfacing :

- EIA-232-D
- EIA-530
- ISDN physical interface.

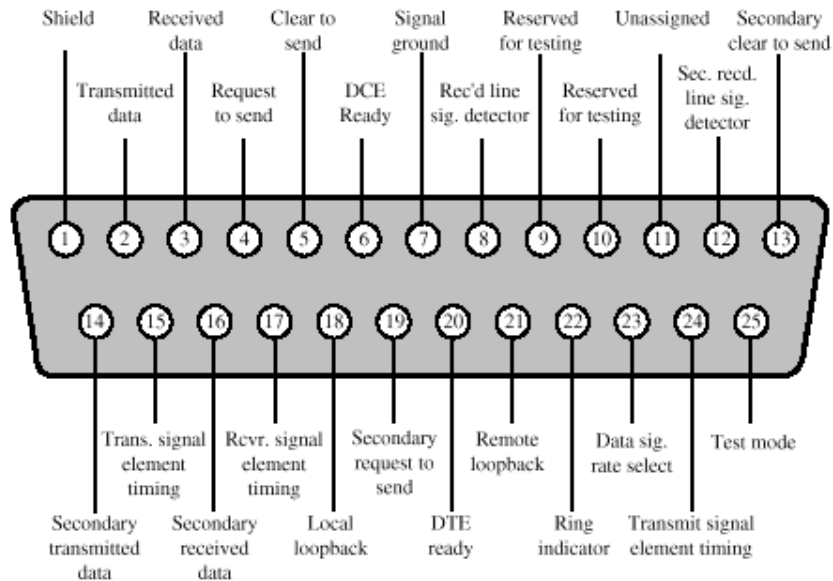
EIA-232-D

Membatasi pada kabel konektor khusus.

Interface ini dipakai menghubungkan DTE device ke voice-grade modem untuk digunakan pada sistim telekomunikasi analog umum.

Spesifikasinya :

- Spesifikasi mekanikal, lihat gambar 4.9 dimana 25 kabel yang dihubungkan pada konektor DB-25, dipakai untk menghubungkan DTE ke DCE.



Gambar 4.9. Pin-pin dalam konektor EIA-232-D

- Spesifikasi elektrik, level tegangan :
 - untuk binary : tegangan < -3 volt ditafsirkan sebagai binary 1
tegangan $> +3$ volt ditafsirkan sebagai binary 0
 - untuk sinyal control : tegangan < -3 volt menyatakan kondisi OFF
tegangan $> +3$ volt menyatakan kondisi ON.
Sinyal rate < 20 Kbps dan jarak < 15 m.
- Spesifikasi fungsional, lihat tabel 4.1

Tabel 4.1. EIA-232-D Interchange Circuits

| V.24 | EIA-232 | Name | Direction to: | Function |
|------------------------|---------|---|---------------|---|
| DATA SIGNALS | | | | |
| 103 | BA | Transmitted Data | DCE | Transmitted by DTE |
| 104 | BB | Received Data | DTE | Received by DTE |
| 118 | SBA | Secondary Transmitted Data | DCE | Transmitted by DTE |
| 104 | SBB | Secondary Received Data | DTE | Received by DTE |
| CONTROL SIGNALS | | | | |
| 105 | CA | Request to send | DCE | DTE wishes to transmit |
| 106 | CB | Clear to send | DTE | DCE is ready to receive; response to Request to send |
| 107 | CC | DCE ready | DTE | DCE is ready to operate |
| 108.2 | CD | DTE ready | DCE | DTE is ready to operate |
| 125 | CE | Ring indicator | DTE | DCE is receiving a ringing signal on the channel line |
| 109 | CF | Received line signal detector | DTE | DCE is receiving a signal within appropriate limits on the channel line |
| 110 | CG | Signal quality detector | DTE | Indicates whether there is a high probability of error in the data received |
| 111 | CH | Data signal rate selector | DCE | Selects one of two data rates |
| 112 | CI | Data signal rate selector | DTE | Selects one of two data rates |
| 133 | CJ | Ready for receiving | DCE | On/off flow control |
| 120 | SCA | Secondary request to send | DCE | DTE wishes to transmit on reverse channel |
| 121 | SCB | Secondary clear to send | DTE | DCE is ready to receive on reverse channel |
| 122 | SCF | Secondary received line signal detector | DTE | Same as 109, for reverse channel |
| 140 | RL | Remote loopback | DCE | Instructs remote DCE to loop back signals |
| 141 | LL | Local loopback | DCE | Instructs DCE to loop back signals |
| 142 | TM | Test mode | DTE | Local DCE is in a test condition |
| TIMING SIGNALS | | | | |
| 113 | DA | Transmitter signal element timing | DCE | Clocking signal; transitions to ON and OFF occur at center of each signal element |
| 114 | DB | Transmitter signal element timing | DTE | Clocking signal; both 113 and 114 relate to signals on circuit 103 |
| 115 | DD | Receiver signal element timing | DTE | Clocking signal for circuit 104 |
| GROUND | | | | |
| 102 | AB | Signal ground/common return | | Common ground reference for all circuits |

Interchange circuit-nya dikelompokkan menjadi kategori dari :

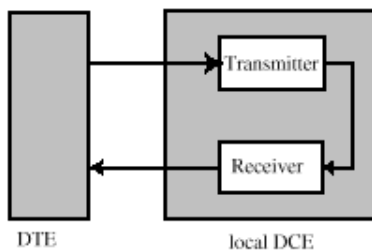
- data circuit : ada satu dalam tiap arah sehingga memungkinkan operasi full-duplex. Pada operasi half-duplex, data bertukar antara 2 DTE (melalui DCE- nya dan link komunikasi) yang hanya mungkin dalam satu arah pada suatu waktu..
- control circuit : ada 14 buah, 8 buah pertama terdapat dalam tabel 4.1 berhubungan dengan transmisi data melalui channel utama dan 6 buah sirkuit berikutnya (CA,CB,CC,CD,CE,CF) untuk transmisi asynchronous. Sebagai tambahan untuk 6 sirkuit ini, 2 control circuit yang lain dipakai dalam transmisi synchronous. 3 control circuit yang berikutnya (SCZ,SCB,SCF) dipakai untuk kontrol channel kedua. Gambar 4.10 memperlihatkan test loopback.

Gambar 4.10a, output transmitter dari modem dihubungkan ke input receiver, putus modem dari line transmisi. Aliran data, dibentuk oleh device user yang dikirim ke modem dan di-loopback ke device user (mis : komputer). Tujuannya : mengecek fungsi dari interface dan DCE local (setempat).

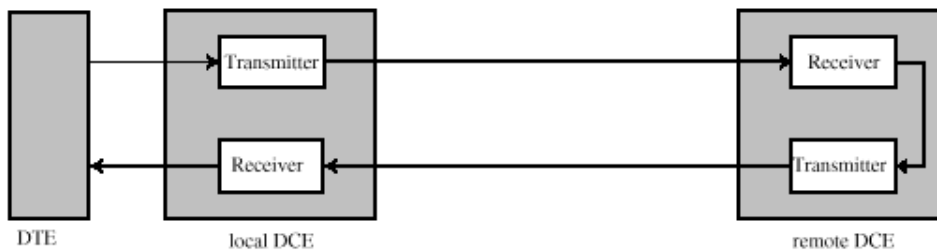
Gambar 4.10b, modem lokal dihubungkan ke fasilitas transmisi seperti biasa dan output receiver dari modem yang jauh dihubungkan ke input transmitter dari modem tersebut. Tujuannya : menguji operasi dari channel transmisi dan remote DCE (DCE yang jauh).

Selama kedua bentuk test, DCE mengaktifkan test mode circuit. Tabel 4.2 memperlihatkan aturan dari circuit test loopback.

timing circuit : ada 3 yang dapat dipakai dengan transmisi synchronous; hal ini melengkapi pulsa-pulsa clock. Ketika DCE mengirim data melalui sirkuit BB, juga mengirim transisi 1-0 dan 0-1 pada DD, dengan waktu transisi pada tengah-tengah dari tiap elemen sinyal BB. Ketika DTE mengirim data, baik DTE atau DCE dapat memberikan pulsa-pulsa timing.



(a) Local loopback Testing



(b) Remote loopback Testing

Gambar 4.10. Lokal dan remote feedback dengan EIA-232-D

Tabel 4.2. Setting Circuit Loopback untuk EIA-232-D dan EIA-530

| Local Loopback | | Remote Loopback | | |
|-----------------|-----------|-----------------|-----------------|------------------|
| Circuit | Condition | Circuit | Local Interface | Remote Interface |
| DCE Ready | ON | DCE Ready | ON | OFF |
| Local Loopback | ON | Local Loopback | OFF | OFF |
| Remote Loopback | OFF | Remote Loopback | ON | OFF |
| Test Mode | ON | Test Mode | ON | ON |

- Spesifikasi prosedural, mendefinisikan rangkaian didalam mana berbagai sirkuit dipakai untuk aplikasi khusus. Contohnya : dua device yang dihubungkan melalui jaringan telepon.

Modem DCE memerlukan sirkuit :

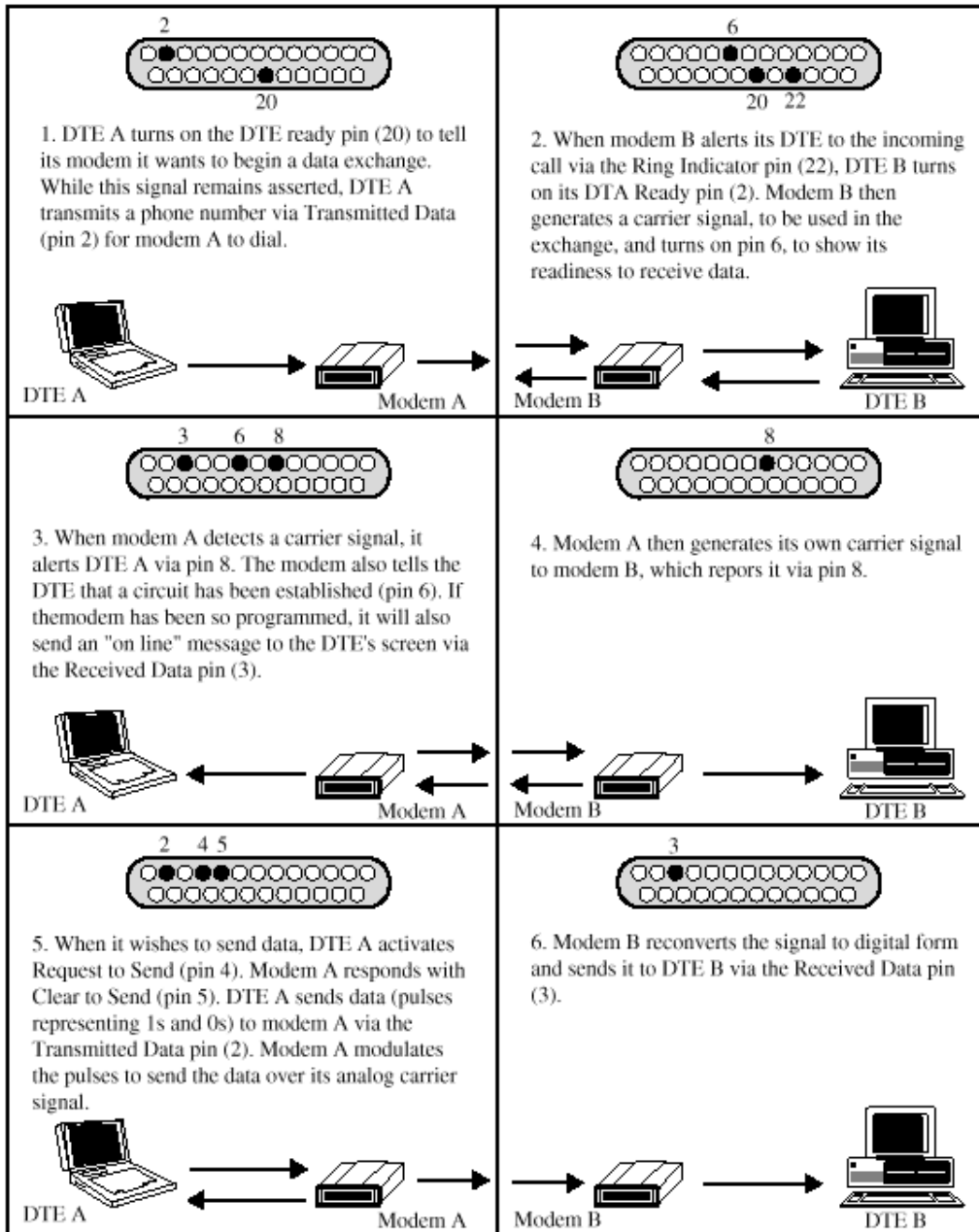
- Signal ground (AB)
- Transmitted data (BA)
- Received data (BB)
- Request to send (CA)
- Clear to send (CB)
- DCE ready (CC)
- Received line signal detector (CF)
- DTE ready
- Ring indicator.

Gambar 4.11 menggambarkan langkah-langkah yang terlibat dalam men-dial up operasi half-duplex.

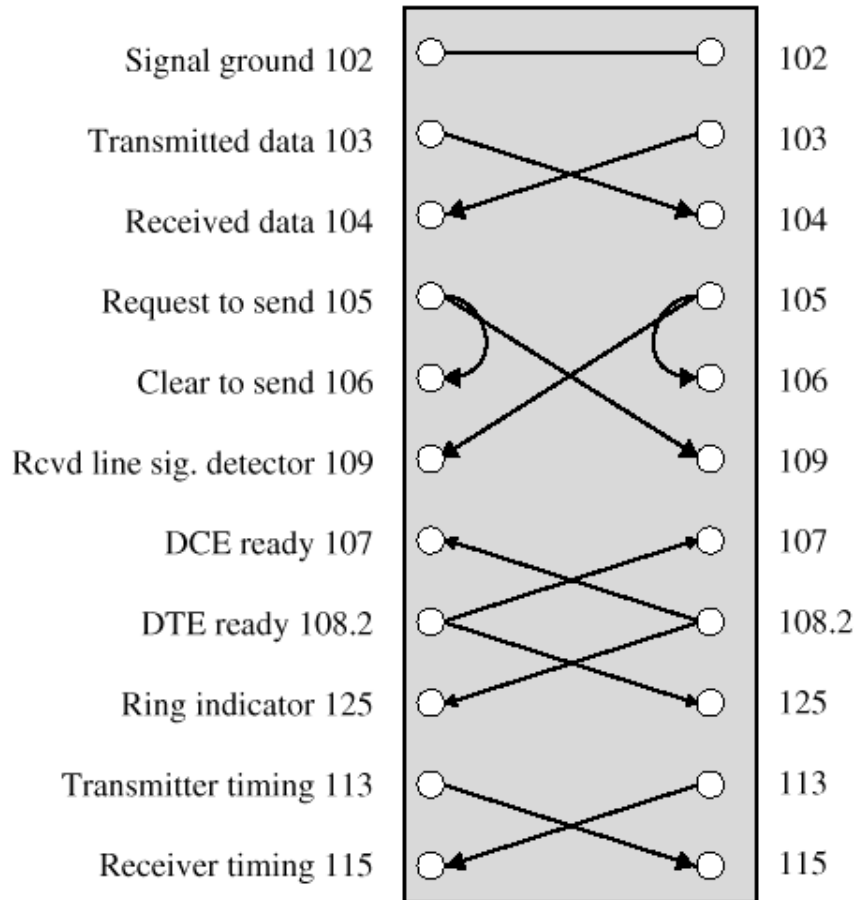
Pada kasus ini, panggilan dari suatu terminal ke suatu komputer. Komputer harus bersedia menerima panggilan, dengan mengindikasikan modem-nya dengan mengeset DTR ke ON.

Ketika suatu call (panggilan) masuk, modem mengindikasinya dengan membunyikan tone, modem memberi tanda pada komputer dengan ring indicator. Kemudian komputer akan merespon dengan mengeset RTS ke ON untuk mengindikasikan ke modem bahwa akan ada transmisi. Modem memulai transmisi suatu frekuensi carrier pada line telephone dan mengeset CTS untuk memberi sinyal ke komputer bahwa transmisi dapat dimulai. Carrier tone memberi tanda pada modem yang lain bahwa data akan tiba. Terminal menerima data melalui modem sampai carrier-nya turun. Terminal sekarang dapat mentransmisi message-nya, dimulai dengan RTS, CTS hand shake dengan modem. Akhirnya, salah satu sisi menggantung dan pertukaran berakhir.

Gambar 4.12 menggambarkan *null modem* dimana 2 DTE dihubungkan langsung dimana kedua DTE akan menganggap bahwa mereka terhubung ke modem. Hal ini untuk keadaan dimana jarak 2 device sangat dekat.



Gambar 4.11 Operasi Dial-up pada EIA-232-D



Gambar 4.12. Null modem.

EIA-530 DENGAN RS-422-A DAN RS-423-A

Beroperasi pada data rate dari 20 Kbps sampai 2 Mbps memakai 25 pin, konektor DB-25 seperti pada EIA-232-D.

Dinyatakan dalam 2 EIA standar lainnya :

- RS-423-A, mengkhususkan pada *unbalanced transmission* dimana memakai suatu konduktor tunggal untuk membawa sinyal.

Tegangan positif antara 2 dan 6 volt ditafsirkan sebagai binary 0.

Tegangan negatif antara 4 dan 6 volt ditafsirkan sebagai binary 1.

Data rate : 3 Kbps pada 1000 m sampai 300 Kbps pada 10 m.

- RS-422-A, mengkhususkan pada *balanced transmission* dimana memakai dua konduktor. Sinyal ditransmisi sebagai arus yang melewati konduktor pertama dan kembali pada konduktor lainnya.

Perbedaan tegangan antara 2 sirkuit dalam range 2 - 6 volt ditafsirkan sebagai suatu digit binary (pensinyalan differensial pada data digital), dengan perbedaan arah menentukan apakah ditafsirkan sebagai binary 0 atau 1.

Data rate : 100 Kbps pada 1200 m sampai 10 Mbps pada 12 m.

Yang tidak didukung oleh EIA -530 yaitu ring indicator, signal quality detector, data signal rate selector, dan 5 sirkuit kedua.

ISDN PHYSICAL CONNECTOR

Pada terminologi ini, koneksi fisik antara terminal equipment (TE) dan network-terminating equipment (NT).

Sirkuit transmitter mentransmisi kontrol informasi dalam bentuk message dan informasi ini di-multiplex kedalam interface yang sama dengan data, menggunakan teknik synchronous TDM.

Binary 1 diwakili oleh ketiadaan tegangan.

Binary 0 diwakili oleh pulsa positif atau negatif.

Data rate : 192 Kbps.