

Mikroprosesor 80186/80188, 80286, 80386/80486 & Pentium

(a) Mikroprosesor 80186/80188

1.1. Arsitektur

Intel 80186/80188 merupakan versi perkembangan mikroprosesor 8086/8088. Dari bentuk arsitektur dari perkembangan sebelumnya hampir sama, perbedaan yang jelas antar 80186 dan 80188 adalah *lebar data bus*.

Lebar data bus diantaranya sebagai berikut :

- ✓ Mikroprosesor 80186 mempunyai bus data 16 bit
- ✓ Mikroprosesor 80188 mempunyai bus data 18 bit

Struktur Register Internal dari 80186/80188 dan 8086/8088 secara virtual adalah sama.

Vektor Interupsi tambahan yang tidak digunakan dalam mikroprosesor 8086/8088 dan beberapa **Built-In I/O** yang sangat handal.

1.2. Diagram Blok

Pada mikroprosesor ini mempunyai hubungan sirkuit internal lebih besar dibandingkan dengan 8086. Pada mikroprosesor 80186 dan 80188 diagram bloknya sama, kecuali pengambilan awal antrian untuk 80188 adalah 4 byte sedangkan 80186 adalah 6 byte.

Selain mempunyai Bus Interface Unit (BIU) dan Execution Unit (EU) yang sama seperti pada 8086/8088, pada mikroprosesor 80186/80188 mempunyai beberapa hubungan tambahan ke BIU dan EU diantaranya adalah :

1. Clock generator Internal

Sebagai pengganti clock generator eksternal yang digunakan oleh mikroprosesor 8086/8088. Pin CLKOUT adalah $\frac{1}{2}$ frekuensi kristal (frekuensi operasi utama dari prosesor) dan mempunyai 50 % tugas cycle.

2. Pengontrol Interupsi yang dapat diprogram

Mempunyai lima input interupsi ($INT_0 - INT_3$ dan NMI). Jika PIC 8259A eksternal ditambahkan, maka 80186/80188 akan berfungsi seperti master dan 8259A seperti slave.

3. Waktu yang dapat diprogram

Berisi tiga counter/timer yang dapat diprogram 16-bit. Timer 0 dan Timer 1 akan

- ✓ membuat gelombang kotak untuk sistem eksternal
- ✓ diperlukan oleh master clock dari 80186/8088
- ✓ sebagai input clock eksternal

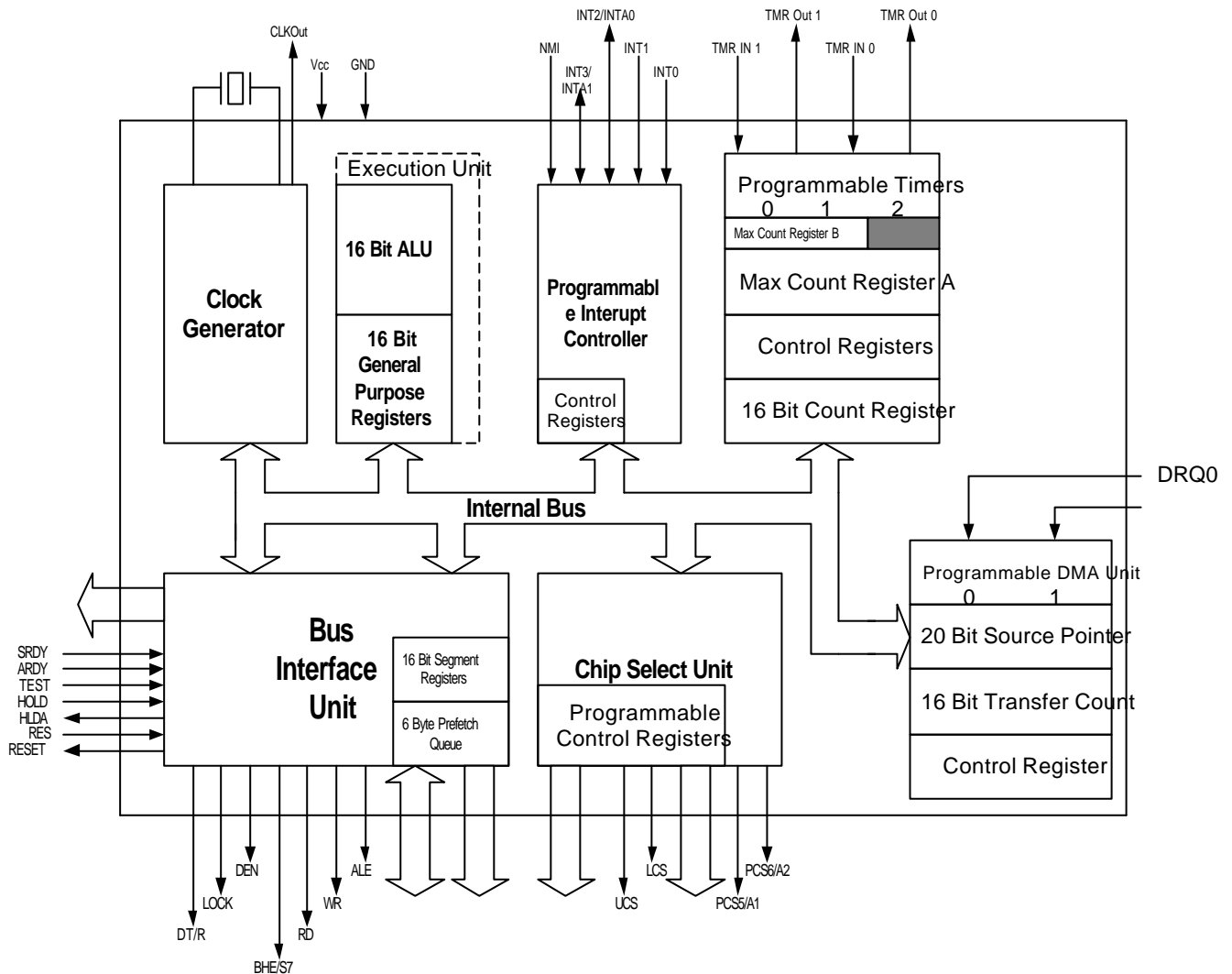
Sedangkan Timer 2 merupakan internal yang ditentukan waktunya oleh sistem clock, output dari timer ini akan membuat suatu interupsi setelah bilangan clock telah terjadi dan menyediakan clock untuk timer lain, serta digunakan sebagai watchdog timer (jika diperlukan).

4. Pengontrol DMA yang dapat diprogram

- ✓ Merupakan pengontrol DMA 2 channel yang diprogram secara penuh.
- ✓ Masing-masing channel mengirim data antara memori, antara I/O, dan antara memori dan I/O.

5. Unit pemilihan chip yang dapat di program

- ✓ Mempunyai enam baris input untuk memilih memori dan tujuh baris input untuk memilih I/O
- ✓ Pemilihan output memori dalam 3 kelompok untuk mengalamatkan bagian utama dari memori 80186/80188 : memori rendah untuk vektor interupsi, memori tengah untuk memori program, memori tinggi untuk sistem Reset ROM.
- ✓ Masing-masing baris pemilihan I/O dapat mengalamatkan 128 byte block dari ruang I/O dan mempunyai suatu rangkaian baris *Ready Internal*.



1.3. Intruksi Set

1. Push Immediate (PUSHA dan POPA)
Pemuatan awal stack dengan informasi.
2. Integer Immediate Multiplication (IMUL)
Memungkinkan isi dari suatu integer atau lokasi memori untuk dimultiplied oleh byte.
3 operant antara lain : *tujuan, byte yang dekat, sumber.*

3. Shift and Rotate (SHL, SHR, ROL, ROR dan lainnya)
Dapat menggunakan hitungan yang dekat.
4. String I/O
INS dan OUTS, serta INSB dan OUTSB untuk mengirimkan byte data.
INSW dan OUTSW untuk mengirimkan kata data.
5. BOUND
Mengecek batas bagian dari memori.
6. Enter dan Leave
Membuat dan meninggalkan frame stack untuk bahasa dengan level yang lebih tinggi.

(b) Mikroprosesor 80286

2.1. Arsitektur

Mikroprosesor 80286 adalah versi mikroprosesor 8086 tingkat tinggi yang dirancang untuk multiuser dan lingkungan multitasking. Mikroprosesor ini dapat mengalokasikan 16 Mbyte memori fisik dan 1 Gbyte virtual memori dengan menggunakan unit manajemen memori yang ditempatkan dalam mikroprosesor. Mikroprosesor 80286 dioptimalkan untuk melaksanakan instruksi dengan putaran jam yang lebih sedikit dibandingkan dengan 8086.

2.2. Diagram Block

Pada 80286 tidak bergabung dengan lingkungan internal, sebagai pengganti 80286 ini berisi *Memori Manajemen Unit* (MMU) yang Address Unit (AU).

Pin tambahan dari versi sebelumnya (8086) adalah :

$$A_{23} - A_0, \overline{BUSY}, \overline{ERROR}, \overline{PEREQ}, \text{ dan } \overline{PEACK}$$

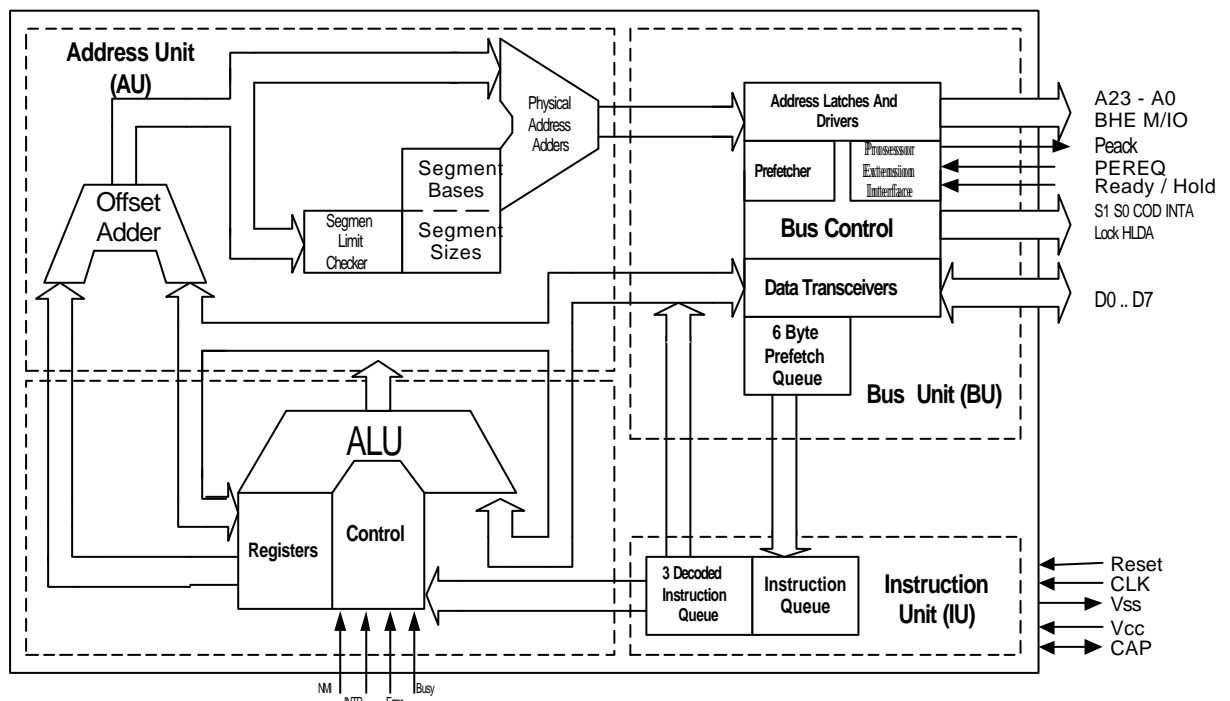


Diagram Block 80286

Tabel 1. Register Vektor Interupsi

Type	Deskripsi
0	Divide – error
1	Single Step
2	Non Maskable
3	Breakpoint
4	INTO
5	BOUND
6	Invalid Opcode
7	Prosesor extension – not present
8	Double protection
9	Prosesor extension segment overrun
A	Task Segment format
B	Segment not present
C	Stack
D	General Protection
E	Prosesor extension error

2.3. Intruksi Set

1. Clear Task-switch Flag Instruction (CLTS)
Jika 0 terjadi bit flag, sedangkan 1 dan koprosesor 80287 digunakan oleh task maka akan terjadi interupsi (tipe 9). Intruksi ini digunakan dalam program sistem dan hanya dilakukan dalam mode yang terlindung pada level istimewa nol.
2. Load Access Right (LAR)
Membaca segment dan menempatkan copy dari kanan akses ke dalam register 16 bit.
3. Load Segment Limit (LSL)
Memuat register yang ditentukan pemakai dengan batas segmen. Register ke-2 menunjukkan pemilih segmen yang mengalami dimasukkan kedalam register pertama.
4. Adjust Requested Priviledge Level (ARPL)
Mengetes pemilih hingga level sektor yang diperlukan, yang istimewa, tidak terlanggar.
5. Verify for Read Access (VERR)
Menguji apakah segmen yang ditunjukkan oleh operannya dapat dibaca atau tidak.
6. Verify for Write Access (VERW)
Menguji apakah segmen yang ditunjukkan oleh operannya dapat dituliskan.

2.4. Mode Operasi

- ✓ Mode Riil
 - ❖ Bit A19 – A0 yang aktif dan digunakan untuk mengalamatkan 1 Mbyte memory.
 - ❖ Hubungan Alamat A23-A20 berisi logika 0, sehingga hanya 1 Mbyte memori yang pertama dapat dialamatkan.
 - ❖ Berfungsi secara sempurna tanpa adanya perubahan.

- ✓ Mode Virtual
 - ❖ Mengalamatkan suatu lokasi dalam rentangan alamat 16 Mbyte
 - ❖ Dikontrol oleh Memori Manajemen Unit
 - ❖ Mengalamatkan ruang alamat virtual dari 1 Gbyte (jika diperlukan)
 - ❖ Pengalamatan virtual diselesaikan oleh MMU

2.5. Struktur Register

General Purpose			
AX	A _H	A _L	Akumulator
BX	B _H	B _L	Base
CX	C _H	C _L	Count
DX	D _H	D _L	Data
BP			Base Pointer
SI			Source Index
DI			Destination Index
SP			Stack Pointer

Housekeeping	
F	Flags
IP	Instruction Pointer
MSW	Machine Status Registers

Segment	Segment Descriptor		
CS			
DS			
ES			
SS			

Selector	Right	Base Address	Size
	GDTR		
	IDTR		

(c) Mikroprosesor 80386

3.1. Arsitektur

Mikroprosesor 80386 merupakan versi 32 bit penuh dari mikroprosesor 16 bit 8086/80286 atau yang terdahulu dan merepresentasikan perkembangan besar pada arsitektur peralihan dari arsitektur 16 bit ke arsitektur 32 bit. Bersamaan dengan ukuran word yang lebih besar ini adalah banyaknya perbaikan dan fitur – fitur tambahan. 80386 juga mencakup registrasi ekstended 32 bit bus alamat dan data 32 bit. Feature 80386

adalah : *multitasking, manajemen memori, memori virtual dengan atau tanpa paging (pemberian nomor), perlindungan softwar, dan sistem memori yang besar.*

Versi 80386 umum tersedia **80386DX** dan **80386SX**, yang merupakan versi dengan bus diperkecil dari 80386. Sedangkan versi 80386EX memakai sistem bus AT, kontroler RAM dinamik, logika seleksi chip yang dapat diprogram, 26 pin alamat, 6 pin data dan 24 pin I/O.

Tipe	Tegangan (Volt)	Frekuensi (Hz)	Arus (Ampere)
80386	+5	25M	550m
		20M	500m
		16M	450m
		33M	600m

3.2. Sistem Memori

Sistem memori fisik dalam 80386 mempunyai ukuran 4 Gbyte dan dapat dialamatkan sedemikian, sehingga memori dibagi kedalam empat bank memori, dengan masing-masing bank berisi 1 Gbyt. Karena dengan lebar 32 bit merupakan path bus data antara mikroprosesor dan memorinya adalah 32 bit.

3.3. Sistem I/O

Keuntungan utama dari I/O yang dipetakan memori adalah bahwa beberapa ruang memori terkurangi ke peralatan I/O, sedangkan sistem I/O yang diisolasi, tidak ada satupun ruang memori yang diarahkan ke I/O. dimana I/O yang diisolasi adalah bahwa hanya instruksi IN atau OUT untuk mengirim/mengambil dari I/O.

3.4. Memori dan Signal Kontrol I/O

Signal $M/\bar{I}\bar{O}$ digunakan untuk menunjukkan apakah putaran bus akan mengirim-kan data memori atau data I/O.

Signal W/R jika berlogika 0 untuk melakukan operasi pembacaan, dan logika 1 akan melakukan operasi penulisan.

Signal ADS digunakan untuk kuantitas dua kontrol signal sebelumnya diatas.

3.5. Instruksi Set

Instruksi	Tujuan
BSF / BSR	Bit Scan Forward / Reverse
BT	Bit Test
BTC / BTR / BTS	Bit Test and Complement / Reset / Set
LFS / LGS / LSS	Load FS / GS / SS
MOVSX	Move with Sigh Extension
MOVCZ	Move with Zero extend
SET	Set byte on condition
SHLD	Double Precision Shift Left
SHRD	Double Precision Shift Right

3.6. Struktur Register

EAX		AH	AL	AX	General Purpose Registers						
EBX		BH	BL	BX							
ECX		CH	CL	CX							
EDX		DH	DL	DX							
ESP		SP									
EBP		BP									
EDI		DI									
ESI		SI									
<table border="1"> <tbody> <tr><td>CS</td></tr> <tr><td>DS</td></tr> <tr><td>ES</td></tr> <tr><td>SS</td></tr> <tr><td>FS</td></tr> <tr><td>ES</td></tr> </tbody> </table>						CS	DS	ES	SS	FS	ES
CS											
DS											
ES											
SS											
FS											
ES											
EIP		IP		Housekeeping Registers							
EFLAG		FLAG									

(d) Mikroprosesor 80486

4.1. Arsitektur

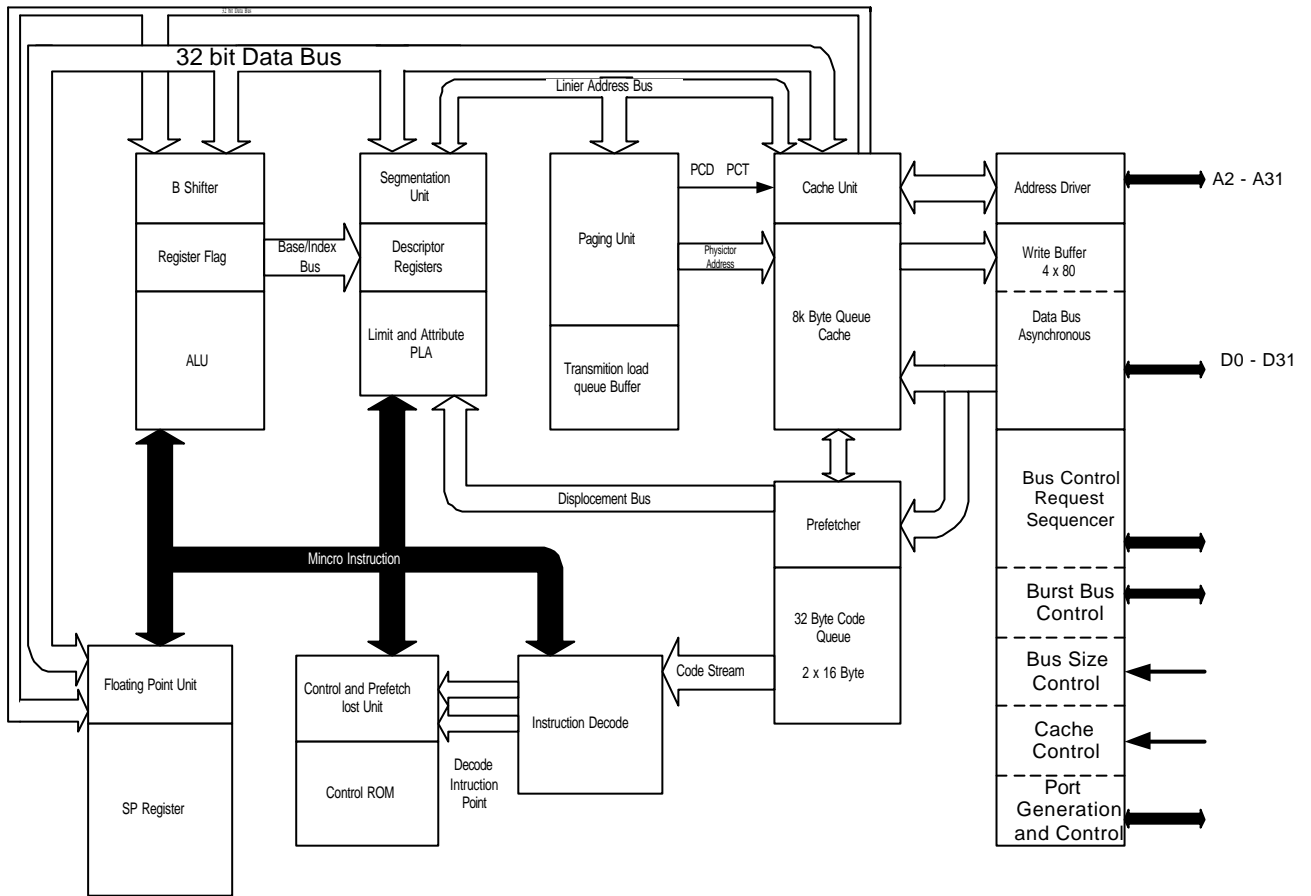
- ❖ Memiliki peralatan yang terintegrasi tinggi yang berisi ± 1.2 Juta transistor
- ❖ Dialokasikan dalam sirkuit Memori Manajemen Unit
- ❖ Koprosesor numerik yang lengkap dan kompetibel dengan 80x87
- ❖ Memori cache dengan kecepatan tinggi yang berisi 8 Kbyte memori

Arsitektur 80486 identik dengan 80386, oleh karena itu ilustrasi register – register pada 80486 tidak ada perbedaan dengan mikroprosesor 80386 (lihat pada 3.5 Struktur Register).

4.2. Diagram block

Design RISC (*Reduced Instruction Set Computer*) dari 80486 akan mengurangi jumlah waktu yang diperlukan untuk melakukan beberapa instruksi ke satu cycle clock saja. MMU memungkinkan 80486 untuk mengakses segmen dalam beberapa ukuran hingga 4 Gbyte. MMU juga menyediakan 4 level proteksi pada bilangan PL0 hingga PL3.

Struktur Internal 80486



4.3. Instruksi Set

Instruksi	Tujuan
BSWAP	Allows the 4 bytes in a 32 bit registers to be reordered from lowest to highest or highest to lowest
XADD	Accomplishes the same thing that BSWAP accomplishes on 16 bit data and also performs addition
CMPXCHG	Reorder 16 bit data and then compares them
INVD	Flushes the internal cache memori
WBINVD	Flushes the internal cache memory after writing dirty lines to the memory system
INVLPG	Invalidates a TLB entry

(e) Pentium

5.1. Arsitektur Global

Perubahan – perubahan meliputi :

- a) **Struktur cache yang lebih kompleks** untuk cache data dan intruksi lain
- b) **Prosesor integer dual lebih akurat** yang dapat melakukan dua instruksi per clock (secara bersamaan)
- c) **Bus data yang lebih lebar**, dimana ditambah dari 32 bit menjadi 64 bit. Sehingga instruksi akan lebih besar kemungkinan untuk melakukan dalam waktu yang bersamaan.
- d) **Koprosesor numerik yang lebih cepat** yang beroperasi sekitar lima kali lipat lebih cepat dari koprosesor numerik 80486 atau mikroprosesor versi sebelumnya.
- e) **Logika prediksi percabangan** yang dapat memungkinkan program bercabang dieksekusi dengan lebih efisien.
- f) **Tehnologi MMX (Multimedia Extention)** yang dirancang untuk mengeksekusi instruksi dengan kecepatan tinggi dan hanya di khususkan untuk device (peralatan) multimedia.

Pentium Pro

Arsitektur internal yang dapat menjadwalkan sampai lima instruksi untuk eksekusi dan unit floating point yang masih lebih cepat lagi. Cache untuk tingkat 2 adalah 256 Kbyte / 512 Kbyte. Dan cache tingkat satu adalah 16 Kbyte.

Perbedaan dengan pentium sebelumnya adalah adanya bus alamat 36 bit, yang memungkinkan akses ke memori sampai dengan 64 Gbyte.

Catu daya +3,3 Volt dengan arus maksimum adalah 9,9 mA untuk 150 MHz Pentium Pro untuk masukan sedangkan untuk keluaran (output) pada pentium pro adalah Arus 48 mA pada tingkat logika 0.

Pentium II

Cache pada Pentium pro tidak ditemukan lagi, karena mikroprosesor pentium II di kemas dalam bentuk papan rangkaian yang tercetak yang berbeda dari bentuk sebelumnya.

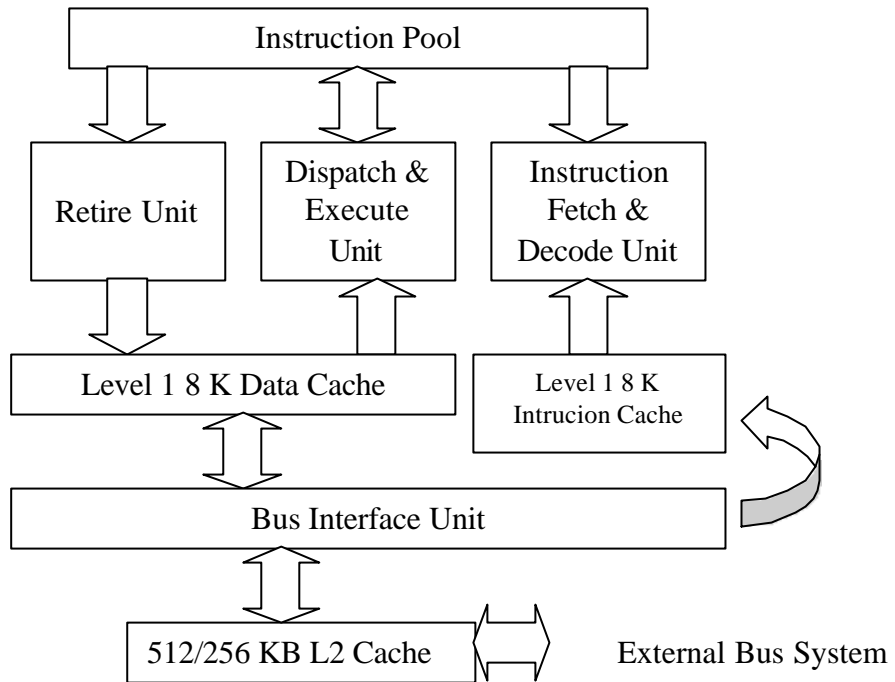
Pentium III

- a) Sistem bus antara 133 MHz atau 100 MHz
- b) Terdapatnya Advanced Transfer Cache sebesar 256 Kbyte dalam kemasan Level 2 (L2) dengan Error Correcting Code (ECC)
- c) Terdapat Data Prefetch Logic (DPL) sebagai antisipasi jika membutuhkan data

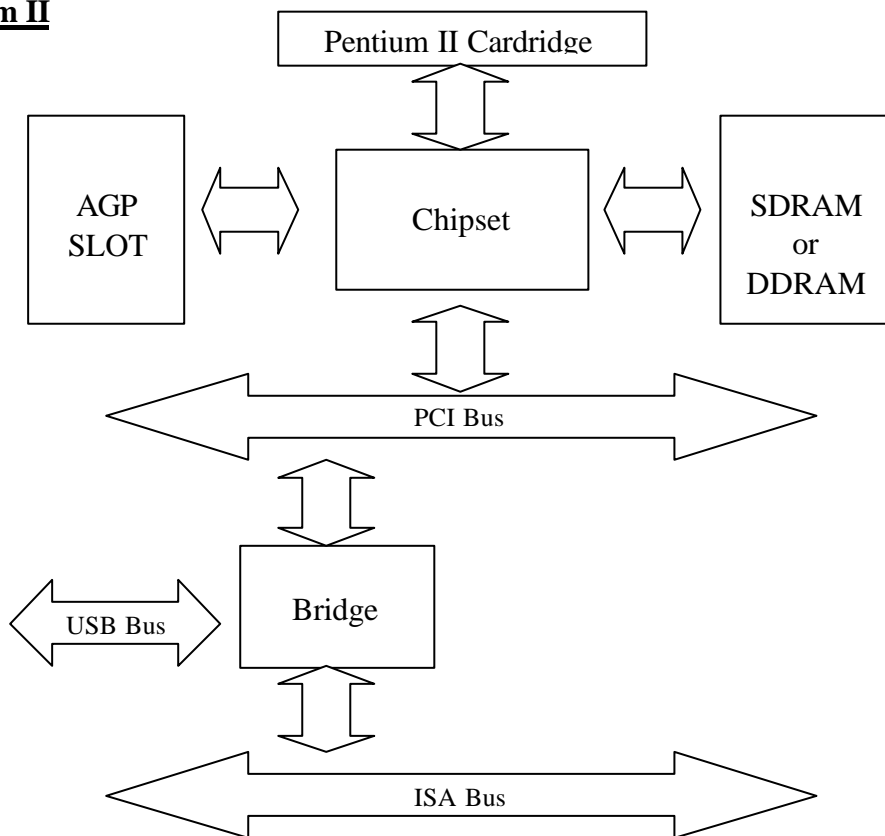
Pentium IV

- a) Terdapat mPGA-487
- b) Support pada intel 850 dan 845 family
- c) Terdapat cache 12 K micro-op trace cache dan 8 Kbyte L1 data cache pada addition ke L2 cache memori.

**5.2. Struktur Internal
Pentium Pro**



Pentium II



5.3. Intruksi Set

Pentium

Instruksi	Fungsi
CMPXCHG8B	Bandingkan dan pertukarkan 8 byte
CPUID	Kembalikan kode identifikasi CPU
RDTSC	Baca pencacah time stamp
RDMSR	Baca register spesifik model
WRMSR	Tulis register spesifik model
RSM	Kembali dari interupsi manajemen sistem

Pentium Pro

Tambahan Intruksi adalah

- ❖ FCMOV
- ❖ CMOV

Pentium II

Tambahan intruksi adalah

- ❖ SYSENTER
- ❖ SYSEXIT
- ❖ FXSAVE
- ❖ FXRSTOR