

Address Mapping / Address Decoding

A). Isolated I/O

Kasus 1 : Rancang Alamat tanpa range

Jika diketahui Alamat Sebuah Port X adalah : 13F8_H, Maka Bagaimana Gambar Rangkaiannya.

Sebelum menggambar Rangkaian dari alamat Port X, terlebih dahulu buatlah Address Mapping seperti pada tabel di bawah ini :

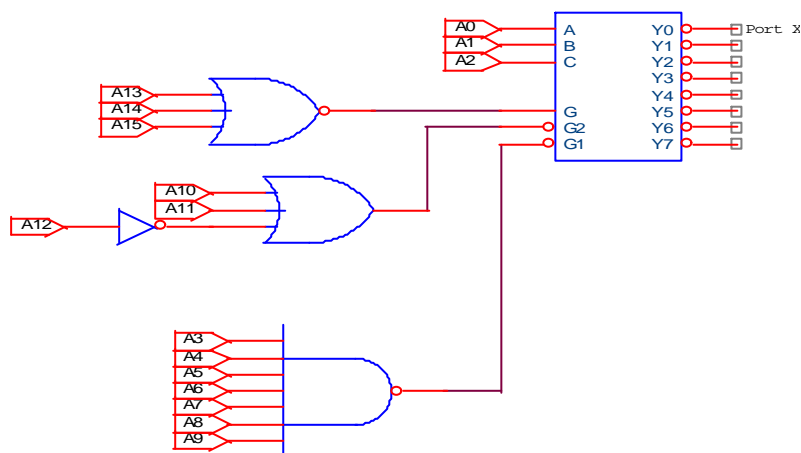
Alamat	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
13F8 _H	0	0	0	1	0	0	1	1	1	1	1	1	1	0	0	0
	1			3			F			8						

Setelah mendapatkan tabel tersebut, Tentukan Address yang mana sebagai Bit Selektor (biasanya setelah Don't care). Karena tidak ada don't care maka A₀ – A₂ (untuk Bit Selektor 3 Bit) Sebagai Bit selektor.

Kemudian Tentukan Juga bit G , $\overline{G_1}$, $\overline{G_2}$ dimana kita dapat sebagai berikut :

1. Untuk $\overline{G_1}$ Address yang di gunakan adalah A₃ s/d A₉, Kemudian di NAND semua Address tersebut Agar mendapat Logika 0
2. Untuk $\overline{G_2}$ Address yang di gunakan adalah A₁₀ s/d A₁₂, Kemudian di OR semua Address tersebut agar mendapat logika 0 (Tapi A₁₂ kita NOT terlebih dahulu).
3. Untuk G Address yang di gunakan adalah A₁₃ s/d A₁₅, Kemudian di NOR semua Address tersebut agar mendapat Logika 1.

Dari ke-3 ketentuan tersebut, maka gambar rangkaian Alamat Port X adalah :



Kasus 2 : Rancang Alamat yang berange

Diketahui bahwa Alamat Port Y adalah DC00_H s/d DDFH. Bagaimana Rangkaian Address tersebut.

Seperti kasus sebelumnya, Buatlah Tabel untuk pengalamatan tersebut.

Alamat	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
DC00 _H	1	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0
DDFF _H	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	1

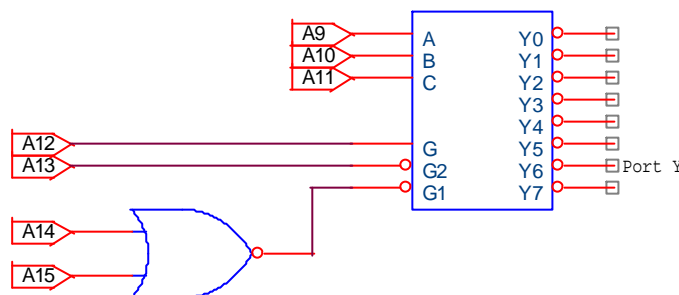
Dengan memperhatikan Tabel di atas, carilah Address awal ($DC00_H$) yang mempunyai logika 0 dari LSB sampai dengan ke Address berapa? Kita dapat logika 0 pada address awal adalah dari A_0 s/d A_9 .

Kemudian cari juga untuk address akhir ($DDFF_H$) yang mempunyai logika 1 dari LSB sampai dengan ke address berapa? Kita dapat Logika 1 dari A_0 s/d A_8 . Karena Don't didapat dari jika Address awal berlogika 0 mulai dari LSB (A_0) secara berurutan, sedangkan address akhir berlogika 1 juga mulai dari LSB secara berurutan, maka kita dapat address don't care adalah A_0 s/d A_8 .

Kemudian Tentukan Bit Selektor, $G, \overline{G_1}, \overline{G_2}$

1. Untuk Bit selektor pada kasus ini kita harus memperhatikan address awal dan akhir apakah sama? (biasanya bit selektor setelah don't care). Kita tentukan A_9 s/d A_{11} sebagai bit selektor.
2. Untuk $\overline{G_1}$ Address dapat kita tentukan A_{14} s/d A_{15} , yang nantinya akan di NOR agar akan mendapatkan logika 0
3. Untuk $\overline{G_2}$ Address dapat kita tentukan A_{13} saja.
4. Untuk G Address dapat kita tentukan A_{12} saja

Dari ketentuan tersebut kita akan mendapatkan Gambar rangkaiannya sebagai berikut.



KASUS 3 : Merancang alamat berange (lebih dari 1 Port)

Jika diketahui :

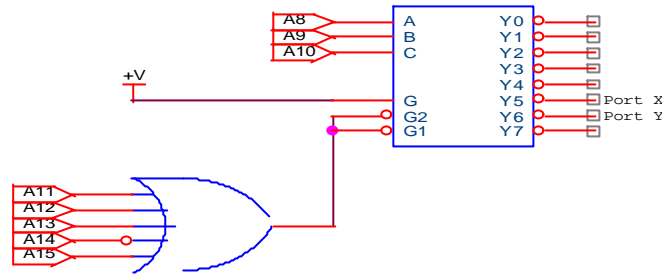
- Port X beralamat 4500_H s/d $45FF_H$
- Port Y beralamat 4600_H s/d $46FF_H$

Rancang rangkaian untuk alamat di atas

Alamat	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
4500_H	0	1	0	0	0	1	0	1	0	0	0	0	0	0	0	0
$45FF_H$	0	1	0	0	0	1	0	1	1	1	1	1	1	1	1	1
4600_H	0	1	0	0	0	1	1	0	0	0	0	0	0	0	0	0
$46FF_H$	0	1	0	0	0	1	1	0	1	1	1	1	1	1	1	1

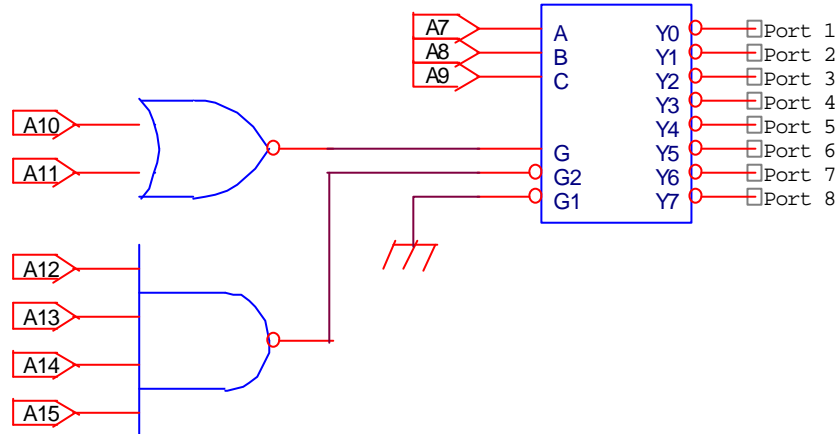
1. Seperti kasus sebelumnya kita mencari Don't care (X), kita dapatkan A_0 s/d A_7 adalah Don't care
2. Bit Selektor address adalah $A_8 - A_{10}$
3. Untuk $\overline{G_1}$ & $\overline{G_2}$ Address dapat kita tentukan A_{11} s/d A_{15} , di OR semua address tersebut (tapi A_{14} di NOT sebelumnya)
4. Untuk G dapat kita tentukan dengan langsung memberikan +V, karena address lainnya tidak ada lagi.

Dari ketentuan tersebut dapat kita gambar rangkaian tersebut.



LATIHAN

- Rancang rangkaian untuk alamat
 - 1280_H s/d $12FF_H$ untuk Port R
- Rancang rangkaian untuk alamat
 - $E800_H$ s/d $E9FF_H$
 - $EA00_H$ s/d $EBFF_H$
- Rancang rangkaian untuk alamat
 - $F230_H$ s/d $F23F_H$
 - $F240_H$ s/d $F24F_H$
 - $F330_H$ s/d $F33F_H$
 - $F340_H$ s/d $F34F_H$
- Carilah alamat dari masing-masing port pada gambar rangkaian alamat I/O dibawah ini :



B). Memory Map

Kasus I: Pengalamatan Memory, jika di ketahui besar kapasitas untuk masing-masing memory

Jika diketahui :

Alamat Memory Ram adalah $F1000_H$ s/d $F4FFF_H$, dimana kapasitas masing-masing memory adalah 2KB (2048 Byte).

Pertanyaan :

- Berapakah Total Kapasitas memory yang di dapat secara keseluruhan.
- Berapakah jumlah IC memory yang akan digunakan.
- Sebutkan alamat dari masing-masing IC RAM tersebut.
- Bagaimana rancangan rangkaian untuk memory map tersebut.

Jawab :

1. Address Max (F4FFF_H) di jumlahkan dengan 1, kita akan dapatkan F4FFF_H+1_H=F5000_H.

Kemudian kita Jumlahkan Hasil tersebut (F5000_H) dengan F1000_H, maka akan kita dapatkan hasilnya adalah F5000_H – F1000_H = 4000_H.

Hasil tersebut (4000_H) di rubah ke desimal, maka akan di dapat sebesar 16384 Byte (16 KB = 16*1024). Jadi Besar Kapasitas memory keseluruhan adalah 16 Kbyte.

2. Untuk Mendapatkan jumlah memory, kapasitas memory keseluruhan di bagi dengan kapasitas memory untuk masing-masing IC. Maka kita akan dapat adalah 16384 : 2048 = 8. Jadi banyak IC yang akan di gunakan adalah 8 Buah IC memory.

3. Karena kita telah mengetahui 8 buah IC memory yang dipakai, tapi sebelumnya kita mencari range untuk masing-masing IC memory tersebut.

Caranya adalah Kapasitas untuk masing-masing memory di rubah ke bentuk Hex. Maka akan di dapat 2048 (2Kbyte) = 800_H. Hasil tersebut akan di kurangkan dengan 1, hasilnya 800_H – 1_H = 7FF_H.

Alamat masing-masing IC RAM adalah sbb:

- a) Alamat RAM ke-1 = F1000_H – F17FF_H
- b) Alamat RAM ke-2 = F1800_H – F1FFF_H
- c) Alamat RAM ke-3 = F2000_H – F27FF_H
- d) Alamat RAM ke-4 = F2800_H – F2FFF_H
- e) Alamat RAM ke-5 = F3000_H – F37FF_H
- f) Alamat RAM ke-6 = F3800_H – F3FFF_H
- g) Alamat RAM ke-7 = F4000_H – F47FF_H
- h) Alamat RAM ke-8 = F4800_H – F4FFF_H

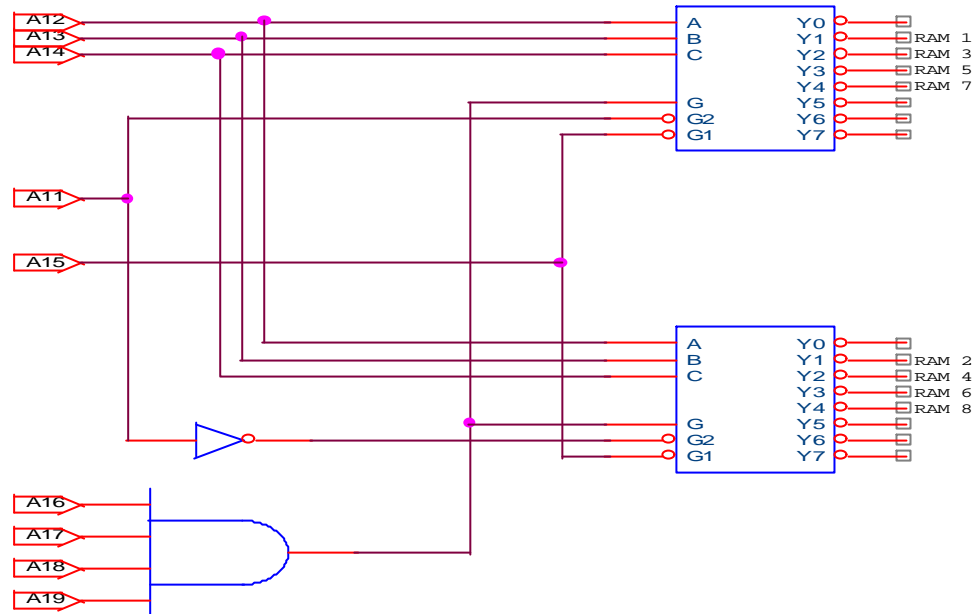
4. Rancangan Rangkaian alamat memory tersebut adalah :

Alamat	A ₁₉	A ₁₈	A ₁₇	A ₁₆	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
F1000	1	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
F17FF	1	1	1	1	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1
F1800	1	1	1	1	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0
F1FFF	1	1	1	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
F2000	1	1	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
F27FF	1	1	1	1	0	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1
F2800	1	1	1	1	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0
F2FFF	1	1	1	1	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1
F3000	1	1	1	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
F37FF	1	1	1	1	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1
F3800	1	1	1	1	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0
F3FFF	1	1	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
F4000	1	1	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
F47FF	1	1	1	1	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1
F4800	1	1	1	1	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0
F4FFF	1	1	1	1	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1

Dari tabel di atas dapat kita tentukan :

- a) Don't care berada pada address A₀ – A₁₀
- b) Bit Selektor dengan tiga bit adalah address A₁₂ – A₁₄

- c) Untuk \overline{G}_1 Address dapat kita tentukan A_{15} saja
- d) Untuk \overline{G}_2 Address dapat kita tentukan A_{11} saja, dimana address tersebut yang akan menentukan decoder yang mana yang akan aktif dengan cara salah satu harus di NOT.
- e) untuk G dapat kita tentukan dengan address $A_{16} - A_{19}$, dimana seluruh address di AND agar mendapatkan Output berlogika 1.



LATIHAN

1. Buatlah rangkaian dari alamat memory ROM di bawah ini, jika alamatnya adalah $38000_H - 3FFFF_H$, dimana masing-masing memorynya sebesar 16Kbyte.
2. Jika Total memory RAM 3Kbyte, dengan menggunakan 3 IC RAM. Jika di ketahui alamat awal sebesar $1F000_H$. Carilah Rangkaian memory map dari alamat tersebut